

7

Figure 1 is a block diagram of a digital video recording system. The system includes a Digital TV (10), VCR (20), FC (30), and DVS (40) connected in a line. A central unit (23) contains a 10MHz clock (132), a 10MHz reference clock (120), a Digital Filter (144, 142), a Video Processor (134), a Video Encoder (140), and a Video Decoder (150). The system is connected to a Digital TV (102), a VCR (202), and a DVS (302) via a digital bus (100).

<http://www1.ipdljpo.go.jp/PA1/result/detail/main/wAAAa10765DA412151681P1.htm> 2001/04/16

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-151681

(P 2000-151681A)

(43) 公開日 平成12年5月30日(2000.5.30)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-コ-ド (参考)		
H 0 4 L	12/46	H 0 4 L	11/00	3 1 0	C
	12/28		13/00	3 0 5	B
	29/06			3 0 9	Z
	29/10				

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平11-294530

(22) 出願日 平成11年10月15日(1999.10.15)

(31) 優先権主張番号 199843356

(32) 優先日 平成10年10月16日(1998.10.16)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 崔 起榮

大韓民国京畿道安養市東安区坪村洞899-

7番地現代5次アパート101棟905号

(72) 発明者 宋 禎鎬

大韓民国京畿道烏山市園洞552-4番地韓洲

アパート101棟1203号

(74) 代理人 100064908

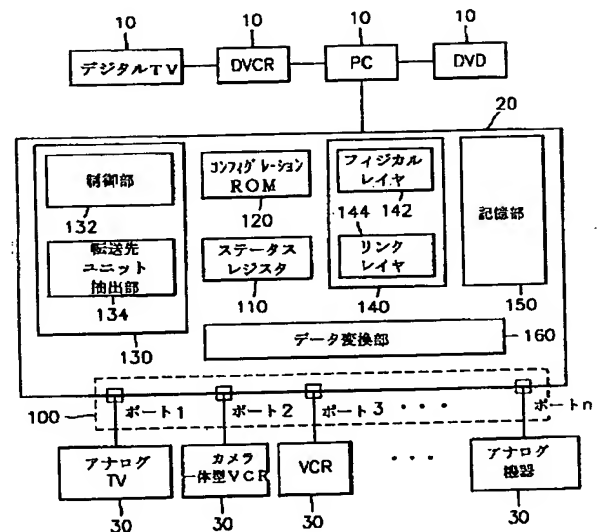
弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 IEEE 1394用アナログトランスレータ及びその変換方法

(57) 【要約】

【課題】 アナログ機器をIEEE 1394に接続できるようにしたIEEE 1394用アナログトランスレータ及びその変換方法を提供すること。

【解決手段】 ポートにアナログ機器が接続されるとき、アナログ機器に割当てられたステータスレジスタの該当ビットをセットするとともに、コンフィグレーションROMにアナログ機器の接続情報を書き込む制御部と、IEEE 1394バスからのパケットデータを受取って、自分のノードに該当するデータであれば、ヘッダを取り除く1394インタフェース部と、1394インタフェース部からヘッダの取り除かれたペイロードデータを格納する記憶部と、記憶部のペイロードデータをデコードし、ペイロードデータの転送先アナログ機器の情報を抽出する転送先ユニット抽出部と、転送先アナログ機器に関する情報が取り除かれた純粋なペイロードデータをアナログ信号に変換するデータ変換部とを具備する。



【特許請求の範囲】

【請求項 1】 各アナログ機器が接続される複数のポートと、

アナログ機器が接続されているか否かを表すステータスレジスタと、

接続されているアナログ機器に関する情報を格納しているコンフィグレーションROMと、

前記ポートにアナログ機器が接続されるとき、前記アナログ機器に割当てられたステータスレジスタの該当ビットをセットするとともに、該セットされたステータスレジスタを読み出して、前記コンフィグレーションROMにアナログ機器の接続情報を書き込む制御部と、

IEEE 1394バスからのパケットデータを受取って、前記パケットデータがトランスレータ自身のノードに該当するパケットデータであるか否かをチェックし、自分のノードに該当するデータであれば、パケットデータを分解してヘッを取り除く 1394 インタフェース部と、

前記 1394 インタフェース部からヘッダの取り除かれたペイロードデータを格納する記憶部と、

前記記憶部のペイロードデータをデコードし、ペイロードデータの転送先アナログ機器の情報を抽出する転送先ユニット抽出部と、

前記転送先アナログ機器に関する情報が取り除かれた純粋なペイロードデータをアナログ信号に変換するデータ変換部とを含むことを特徴とする IEEE 1394 用アナログトランスレータ。

【請求項 2】 前記 1394 インタフェース部は、

IEEE 1394バスからのパケットデータを受信するフィジカルレイヤと、

前記パケットデータがトランスレータ自身のノードに該当するデータであるか否かをチェックし、自分のノードに相当するデータであれば、パケットデータを分解してヘッダを取り除くとともに、エラーを検出するリンクレイヤとからなることを特徴とする請求項 1 に記載の IEEE 1394 用アナログトランスレータ。

【請求項 3】 各アナログ機器が接続されているか否かをチェックするステップと、

接続されたアナログ機器に関する情報を書き込むステップと、

トランスレータをプラグインしてから、初期化動作を行うステップと、

1394バスデータに対する転送要求があるか否かをチェックするステップと、

転送要求が送られてくると、パケットデータのパケットヘッダを分析して該パケットデータがトランスレータ自身のノードに該当するパケットデータであるか否かをチェックするステップと、

ペイロードデータを分析して、転送先ユニットに関する情報を抽出するステップと、

前記転送先ユニットに関する情報が取り除かれた純粋なペイロードデータを変換するステップと、

前記変換されたペイロードデータを前記抽出されたユニットに送るステップとを含むことを特徴とする IEEE 1394 用アナログ変換方法。

【請求項 4】 前記アナログ機器に関する情報を書き込むステップは、

各アナログ機器の接続されたポートに割当てられたステータスレジスタの該当ビットをセットするステップと、ステータスレジスタのビット状態を読み出し、接続可能なアナログ機器とポート番号とがマッピングされたコンフィグレーションROMを基に接続されたアナログ機器を識別し、接続状態を書き込むステップとからなることを特徴とする請求項 3 に記載の IEEE 1394 用アナログ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IEEE 1394 用データ変換に係り、特にアナログ機器を IEEE 1394バスに結んで使用できるようにした IEEE 1394 用アナログトランスレータ及びその変換方法に関する。

【0002】

【従来の技術】 近年、デジタルテレビ、デジタルビデオカメラ、デジタルビデオディスクプレーヤー、デジタルSTB (set top box) など各種のデジタル機器が普及しつつあり、これらのためのインタフェースとして IEEE 1394 シリアルバスが注目されている。ある機器を IEEE 1394バスにインタフェースさせるためには、その機器がデジタル機器である必要がある。しかし、現在家庭で使用するAV機器の大半はアナログ機器であり、これは、ホームネットワークの基盤として登場している IEEE 1394 シリアルバスとは互換できない。従って、この種のAV機器は、IEEE 1394のために新たに IEEE 1394 用デジタルAV機器に置き換えられる必要がある。この観点から、現在一般家庭に普及されているAV機器を IEEE 1394バスにインタフェースさせるための IEEE 1394 用アナログトランスレータが望まれる。

【0003】

【発明が解決しようとする課題】 本発明は上記事情に鑑みて成されたものであり、その目的は、現在一般家庭で使用中のテレビ、カメラ一体型VCR、VCRなどを含めた既存のアナログ機器がホームネットワークの一部として円滑に動作できるように、アナログ機器をデジタルインタフェースに基づく IEEE 1394バスとインタフェースできるようにした IEEE 1394 用アナログトランスレータを提供するところにある。本発明の他の目的は、前記トランスレータで実行される IEEE 1394 用アナログ変換方法を提供するところにある。

【0004】

【課題を解決するための手段】前記目的を達成するため、本発明にかかるIEEE1394用アナログトランスレータは、各アナログ機器が接続される複数のポートと、アナログ機器が接続されているか否かを表すステータスレジスタと、接続されているアナログ機器に関する情報を格納しているコンフィグレーションROMと、前記ポートにアナログ機器が接続されるとき、前記アナログ機器に割当てられたステータスレジスタの該当ビットをセットするとともに、該セットされたステータスレジスタを読み出して、前記コンフィグレーションROMにアナログ機器の接続情報を書き込む制御部と、IEEE1394バスからのパケットデータを受取って、前記パケットデータがトランスレータ自身のノードに該当するパケットデータであるか否かをチェックし、自分のノードに該当するデータであれば、パケットデータを分解してヘッダを取り除く1394インタフェース部と、前記1394インタフェース部からヘッダの取り除かれたペイロードデータを格納する記憶部と、前記記憶部のペイロードデータをデコードし、ペイロードデータの転送先アナログ機器の情報を抽出する転送先ユニット抽出部と、前記転送先アナログ機器に関する情報が取り除かれた純粋なペイロードデータをアナログ信号に変換するデータ変換部とを備えることを特徴とする。

【0005】さらに、前記1394インタフェース部は、IEEE1394バスからのパケットデータを受信するフィジカルレイヤと、前記パケットデータがトランスレータ自身のノードに該当するデータであるか否かをチェックし、自分のノードに相当するデータであれば、パケットデータを分解してヘッダを取り除くとともに、エラーを検出するリンクレイヤとで構成されることが好ましい。

【0006】さらに、前記他の目的を達成するための、本発明によるIEEE1394用アナログ変換方法は、各アナログ機器が接続されているか否かをチェックするステップと、接続されたアナログ機器に関する情報を書き込むステップと、トランスレータをプラグインしてから、初期化動作を行うステップと、1394バスデータに対する転送要求があるか否かをチェックするステップと、転送要求が送られてくると、パケットデータのパケットヘッダを分析して該パケットデータがトランスレータ自身のノードに該当するパケットデータであるか否かをチェックするステップと、ペイロードデータを分析して、転送先ユニットに関する情報を抽出するステップと、前記転送先ユニットに関する情報が取り除かれた純粋なペイロードデータを変換するステップと、前記変換されたペイロードデータを前記抽出されたユニットに送るステップとを具備することを特徴とする。

【0007】

【発明の実施の形態】以下で、添付した図面に基づき本

発明の望ましい実施例を詳細に説明する。図1は、本発明によるトランスレータを具備したIEEE1394ネットワークの構成を示したものであって、IEEE1394バスに接続されているノード（一例として、デジタルTV、DVCR、PC、DVD）10と、トランスレータ20及び前記トランスレータに接続されているアナログ機器（一例として、アナログTV、カメラ一体型VCR、VCR）30からなる。

【0008】前記トランスレータ20はアナログ機器30と接続されており、前記ノード10からIEEE1394バスを介して送られてきたデータを受け取ってアナログ信号に変換した上、該当アナログ機器に送る。

【0009】前記トランスレータ20は、複数のポート100と、ステータスレジスタ110と、コンフィグレーションROM120と、マイコン130と、1394インタフェース部140と、記憶部150及びデータ変換部160からなる。前記複数のポート100は、アナログ機器30が接続されるポートである。

【0010】ステータスレジスタ110の複数のビットはアナログ機器30が接続されているか否かを示すビットであり、前記1つのアナログ機器につき1ビットが割当てられている。これにより、アナログ機器がポートを介して接続されると、該当ビットがセットされる。図2は、32ビットからなるステータスレジスタの一例を示したものである。図から明らかなように、ビット0はテレビに、ビット1はカメラ一体型VCRに、またビット2はVCRに割当てられている。

【0011】前記コンフィグレーションROM120は、接続されているアナログ機器の名前と、該機器の接続あるいは切り離しに関する情報を格納している。より好ましくは、前記コンフィグレーションROM120には、各ユニット間の接続状況と、各ユニットに関する情報とがルートディレクトリ領域及びユニットディレクトリ領域に個別に格納される。ルートディレクトリ領域及びユニットディレクトリ領域は、IEEE1394規格第8章に準拠した一般のROM形式によって定義される。前記ユニットは、本発明におけるアナログ機器に相当する。

【0012】前記マイコン130は、制御部132及び転送先（宛先）ユニット抽出部134で構成される。前記制御部132は、前記ポートにアナログ機器が接続される時、前記アナログ機器に割当てられたステータスレジスタ110の該当ビットをセットし、前記セットされたステータスレジスタのビット状態を読み出して、前記コンフィグレーションROM120にアナログ機器の接続状態に関する情報を書き込む。前記転送先ユニット抽出部134は、前記記憶部150に格納してあるペイロードデータをデコードして、ペイロードデータの転送先アナログ機器を抽出する。

【0013】前記1394インタフェース部140は、

10

20

30

40

50

フィジカルレイヤ142及びリンクレイヤ144を具備する。前記フィジカルレイヤ142はIEEE1394バスからデータビット列を受け取る。前記リンクレイヤ144は前記受け取られたデータビット列がトランスレータ自身のノードに該当するデータであるか否かをチェックし、自分のノードに該当するデータであれば、パケットを分解してヘッダを取り除くとともに、エラーを検出する。

【0014】前記記憶部150は、前記1394インタフェース部140からヘッダの取り除かれたペイロードデータ10を格納し、好ましくは先入れ先出し(FIFO)構造よりなっている。前記データ変換部160は、転送先アナログ機器に関する情報が取り除かれた純粋なペイロードデータをアナログデータに変換する。

【0015】一方、IEEE1394-1995標準規格によると、IEEE1394バス上の全てのノードは、毎回プラグイン/プラグアウトされる時に新たにバスリセット過程と初期化過程、そしてノードが自分の固有なIDをもつツリー確認過程とセルフ確認過程を経る。ツリー確認過程でルートが決定され、セルフ確認過程でダイナミックに各ノードのIDが決定される。また、こうして決定されたルート及びノードIDは、毎回バスリセットが発生するときに新たに進行される。

【0016】ところが、アナログ機器にはPlug & Play機能が無い。したがって、トランスレータが自分にどんなアナログ機器が直結されているかを識別するためには、ポートにアナログ機器が接続されていたことを感知しなければならない。その方法の1つとして、アナログ機器がポートに接続されると、釦などを用い、外部からポート番号をセットしてやる方法がある。もちろん、ポート番号及びアナログ機器は前もってマッピングにより対応づけされている。例えば、1番のポートはテレビに、2番のポートはカメラ一体型VCRに、などのように、ポートと機器とが対応づけられたマッピング情報はコンフィグレーションROM120に格納されている。アナログ機器をトランスレータのポートに直結した上で外部釦をオンさせると、一定レベルの電流が流れ、該電流レベルをチェックしてステータスレジスタ110に格納する。これにより、マイコン130は、チェックされた電流レベル値及びコンフィグレーションROM120を参照して接続されたアナログ機器がどれかを知り、これを基に接続状態を書き込む。かくして、トランスレータは自分に直結されたアナログ機器がどれかを識別することになる。

【0017】一方、前記トランスレータに接続されているアナログ機器にデータを送ろうとするIEEE1394ノードは、取り敢えずトランスレータ20にアクセスしてコンフィグレーションROM120を読む。トランスレータは、IEEE1394に直結された1つのノードとしての役割を担いつつ、複数のアナログ機器と直結

されている。このように自分に直結されたアナログ機器を1つのユニットとして指定し、このユニットの情報はユニットディレクトリ領域にしまっておく。転送を希望するIEEE1394ノードは、このユニットの情報を基に各機器に当てはまるフォーマットのデータ転送を行う。ルートディレクトリ及びユニットディレクトリの構造の詳細はIEEE1212規格に準拠し、またディレクトリに書き込まれるキー値は未だ決定しておらず、ユーザに任せられている状態である。このディレクトリのキー値に対する定義は上位のソフトウェア領域で取り扱われる。このようにトランスレータは、送られてきたデータブロックを分析してからデータに当てはまる該当機器のバスをイネーブルさせ、データの転送を行うことになる。

【0018】さらに、トランスレータに接続されるアナログ機器は、1つのノードのように実際にデータ転送を要求するためのアービトレーションができない。単に、受動的にIEEE1394ノードからトランスレータを介して送られてくるデータの受信しかできない。そしてIEEE1394トランスレータは、自分に接続されたアナログ機器を識別した上で、IEEE1394バスに直結される。本発明の実施例によると、IEEE1394トランスレータは、バスリセットにより自分がルートとなり得るが、ルートとなつてからはIEEE1394バスは、新たな機器が取り付けられたりあるいは取り外された場合であっても、リセットが発生しないようにして、他の機器のデータ転送に悪影響を及ぼさないようにすることが可能である。しかし、この場合でも、トランスレータがプラグインあるいはプラグアウトされる場合は、IEEE1394バスでバスリセットが発生させる。

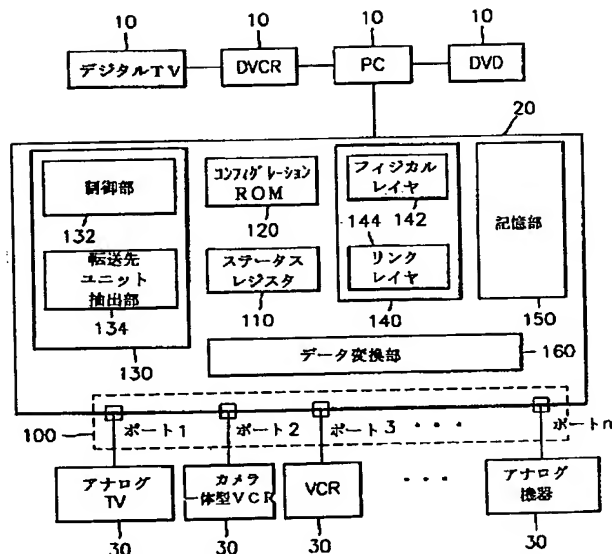
【0019】図3は、本発明によるIEEE1394トランスレータの動作を示したフローチャートである。先ず、トランスレータに直結するアナログ機器のパワーをオンさせ(ステップ300)、トランスレータにアナログ機器をマニュアルで直結させる。アナログ機器が直結されると、トランスレータは自分に接続されたポートを調べ、接続された機器があるか否かをチェックする(ステップ305)。接続されたアナログ機器があるなら(ステップ310)、ステータスレジスタの該当ビットをセットすることにより該当ポート値が格納され(ステップ315)、格納されたポート値及びコンフィグレーションROMを基に直結された機器を識別する。続いて、1394バス上にトランスレータをプラグインさせる(ステップ320)。通常のIEEE1394バスは、トランスレータのプラグイン動作によりリセットされ、初期化動作が実行される(ステップ325)。また、トランスレータは、Force_Rootコマンドによりルートノードとなり、バス制御が可能となる。トランスレータは1394バスにプラグインされた状態で既に自分に

直結されたアナログ機器に関する情報をもって、トランスレータ自身がルートになると、ツリー識別過程（ステップ 330）及びセルフ ID 過程を通じて IEEE 1394 の各ノードにノード ID を与える（ステップ 335）。

【0020】 IEEE 1394 ノードがトランスレータに接続されているアナログ機器にデータの転送を希望するときは、トランスレータに格納されているステータスレジスタを読む。続いて、どんな機器がトランスレータに接続されているか、どんな機器に転送するかを識別するために、ポート番号に関する情報をコンフィグレーション ROM から読み出す。IEEE 1212 標準に準拠したルートディレクトリ及びユニットディレクトリには、この情報が格納されている。パケット転送を行う際には、IEEE 1394 バス上における転送先 ID はルートとされ、トランスレータはデータ転送の要求があるか否かをチェックする（ステップ 340）。

【0021】 1394 バスデータの転送要求があると、トランスレータはパケットデータを分析して（ステップ 345）、該パケットデータが自分のノード ID に該当するか否かをチェックする（ステップ 350）。もし、パケットデータのノード ID が自分のノード ID と一致すると、パケットデータからヘッダ部分の取り除かれたペイロードデータを前記記憶部 150 に格納する。続いて、前記ペイロードデータを分析して、どんなアナログ機器に送られるデータであるかを判断して（ステップ 355）、該当する機器のデータフォーマットに合わせて

【図 1】



D/A変換を行う（ステップ 360）。続いて、該当ポートをイネーブルさせ、データが該当ポートを介してアナログ機器に送られるようにする（ステップ 365）。

【0022】

【発明の効果】以上述べたように、本発明によると、トランスレータがプラグインされた状態では、どんな IEEE 1394 機器が加えられた場合であってもリセットが発生せず、その時の加えられたノードの情報だけを自分のメモリ領域に記憶しておき、新たに ID だけを割り当てて使用するようにする。すなわち、毎回 IEEE 1394 シリアルバスに新しい機器が取り付けられたりあるいは取り外される時にリセット過程が繰返されたり、これによりルートノードが変わるという煩わしさがなくなる。本発明によると、上記した IEEE 1394 用アナログトランスレータだけで、ホームネットワークを具現することができる。また、アナログ及びデジタル機器共にインタフェース可能なことから、1394 ホームネットワークの具現が容易になる。

【図面の簡単な説明】

【図 1】 本発明によるトランスレータを具備した IEEE 1394 ネットワークの構成を示す図である。

【図 2】 ステータスレジスタの一例を示す図である。

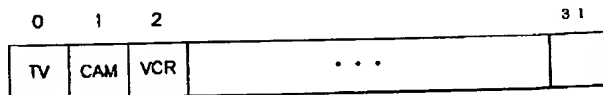
【図 3】 本発明による IEEE 1394 トランスレータの動作を示したフローチャートである。

【符号の説明】

20……トランスレータ

100……ポート

【図 2】



【図3】

